

Ecole Centrale Marseille 2006-2007
Electronique Numérique 1^{ère} année – TDS

I. Conversions

1. Convertir de la base décimale en binaire : $(27)_{10}$; $(12,3)_{10}$;
2. On souhaite faire une mesure de distance entre 0 et 15cm avec une précision meilleur que 1/10 de mm. Quel est le nombre de bits nécessaire pour coder la mesure ? Quelle est alors la précision obtenue ?
3. Rappeler les différentes notations : non signée, complément à 1, complément à 2. Donner l'expression en C à 2 de $(57)_{10}$; $(-57)_{10}$; $(15)_{10}$; $(-15)_{10}$. Trouver la valeur décimale des nombres suivants exprimés en C à 2 : 01100 ; 11010
4. Convertir $(ABF)_{16}$ en base 10 et en base 2; $(724)_8$ en base 16.

II. Opérations

5. En passant en binaire (notation C à 2, addition signée), réaliser l'opération $(4B)_{16} - (28)_{16} = ?$ Vérifier en base décimale. Comment effectuer une multiplication en notation C à 2 ?
6. Effectuer la division en binaire de $(36)_{10} / (6)_{10}$
7. Généralisation : soient deux nombres binaires $B_4B_3B_2B_1$ et $A_4A_3A_2A_1$. Trouver l'algorithme récursif permettant la division de B par A (quotient + reste) à l'aide de comparateurs, décaleurs et soustracteurs.
8. Code DCB naturel : écrire $(1789)_{10}$ en DCB. Réaliser les opérations suivantes en décrivant la méthode suivie: $5+4$; $7+7$; $8+9$; $12-9$.

III. Codes détecteurs d'erreurs

9. Les codes détecteurs d'erreurs sont utilisés pour contrôler la transmission de données. Cela implique donc d'utiliser un ou plusieurs bits supplémentaires. Citer les différents codes détecteur d'erreurs que vous connaissez, décrivez les brièvement et donner leurs avantages/ inconvénients.
10. Codage de Hamming : soit $M = (B_i)$ (i variant de 1 à n) un message de n bits que l'on doit transmettre. On réceptionne $M' = (B'_i)$ comportant éventuellement une erreur.
On fait l'hypothèse que 2 erreurs simultanées sont impossibles.
 - Combien faut-il transmettre de bits supplémentaires P_j (j de 1 à p) (dits de contrôle) afin de détecter et localiser une erreur éventuelle ?
 - Application à $n = 4$:
 - Donner une solution possible comme fonction logique décrivant les P_j .
 - A l'aide d'un décodeur 3 vers 8 et de portes logiques, donner le schéma logique permettant de corriger l'erreur.
 - Vérifier à l'aide d'un exemple numérique que l'erreur est localisée puis corrigée.

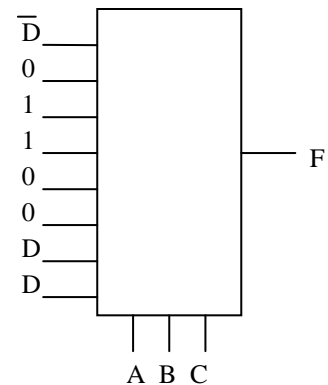
Electronique Numérique 1^{ère} année – TD2

I. Additionneur Complet

1. Ecrire la table de vérité d'un additionneur complet 1 bit puis réaliser le logigramme correspondant avec 2 multiplexeurs à 4 entrées et des portes élémentaires.

II. Représentations d'une fonction logique

2. On génère une fonction logique F à l'aide d'un multiplexeur 8 vers 1. Ecrire la table de vérité de la fonction F. A l'aide d'un tableau de Karnaugh déterminer l'expression de F sous la première forme canonique puis sous la deuxième forme.
3. Matérialiser cette fonction (2^{ème} FC) à l'aide de portes logiques élémentaires à deux entrées, puis à l'aide d'un nombre minimum de portes NOR à deux entrées.
4. Réaliser cette fonction à l'aide d'un multiplexeur à quatre bits d'adresse.



III. Comparateur Binaire

5. Donner la table de vérité d'un comparateur 1 bit. Réaliser ce comparateur à l'aide de portes NAND
6. Proposer le câblage d'un comparateur de deux mots de 4 bits à l'aide de 4 comparateurs 1bit utilisés en parallèle et de 10 portes logiques.
7. Analyse d'un comparateur intégré : le 7485. Expliquer le fonctionnement de ce comparateur (destiné à être utilisé en cascade) et donner la table de vérité des 3 sorties en fonction des 11 entrées. Proposer un montage de type série permettant la comparaison de deux mots de 8 bits. Discuter des avantages/inconvénients des connexions de type série / parallèle.

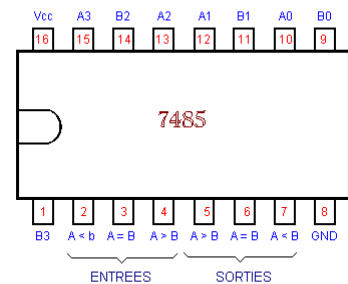


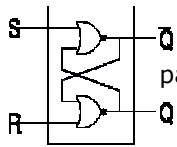
Fig. 21. - Brochage du circuit intégré 7485.

IV. Synthèse d'un détecteur de nombres premiers

8. Les nombres premiers, divisibles par définition que par eux mêmes, sont utilisés dans le codage et le cryptage de l'information. On souhaite réaliser un circuit de décodage des nombres premiers compris entre 0 et 31. Etablir la table de vérité correspondant à la détection de ces nombres.
9. Etablir l'expression logique de la fonction correspondante mise sous la première forme canonique.

III. Les bascules à déclenchement par niveau (latch)

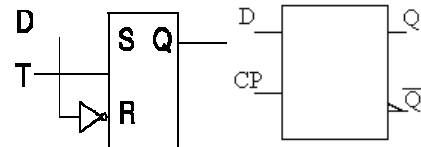
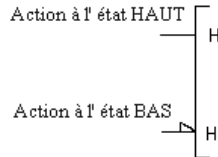
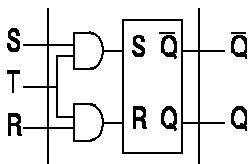
12. Bascule RS



Etablir la table de vérité du montage. Comment appelle-t-on la fonction réalisée ? Que se passe-t-il si R et S valent 1 simultanément ?

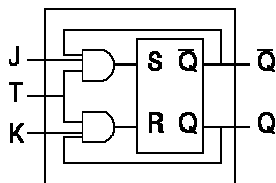
13. Bascule **RST** et **D**

La bascule RST possède une entrée supplémentaire permettant le déclenchement de la bascule suivant la valeur de T. Enoncer alors le principe de son fonctionnement tel que schématisé ci-dessous. Donner la table de vérité. Modifier le schéma pour que le déclenchement soit sur l'autre niveau de T.



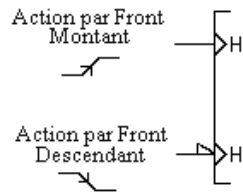
14. La bascule D est utilisée pour la conception des mémoires. Elle permet de lever l'indétermination soulevée précédemment. Donner la table de vérité correspondante.

15. Bascule **JK**

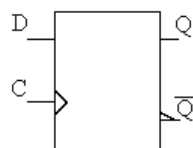


Donner la table de vérité d'une telle bascule.

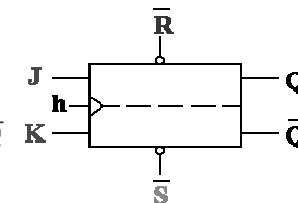
IV. Les bascules à déclenchement par front (flip flop)



horloge



D



JK

Un flip-flop est une bascule avec une horloge sensible aux fronts. Cette horloge, notée H ou Clk, est généralement active sur front montant (mais parfois aussi sur front descendant). La sortie Q du flip-flop reste constante entre deux fronts d'horloge.

16. Donner les TV de D et JK (ne pas oublier les entrées R et S asynchrones existant sur les 2 types de bascules). Etablir la table de transition de JK connaissant les valeurs Q_n et Q_{n+1} .

17. A l'aide de 2 bascules D front montant, réaliser un diviseur de fréquence par 4 du signal horloge

18. A l'aide de bascules JK front montant, réaliser un compteur modulo 6 (0,1,2,3,4,5,0,1,2,3,4,5,0,...)

Annexe : Latch / flip-flop : Critères de choix

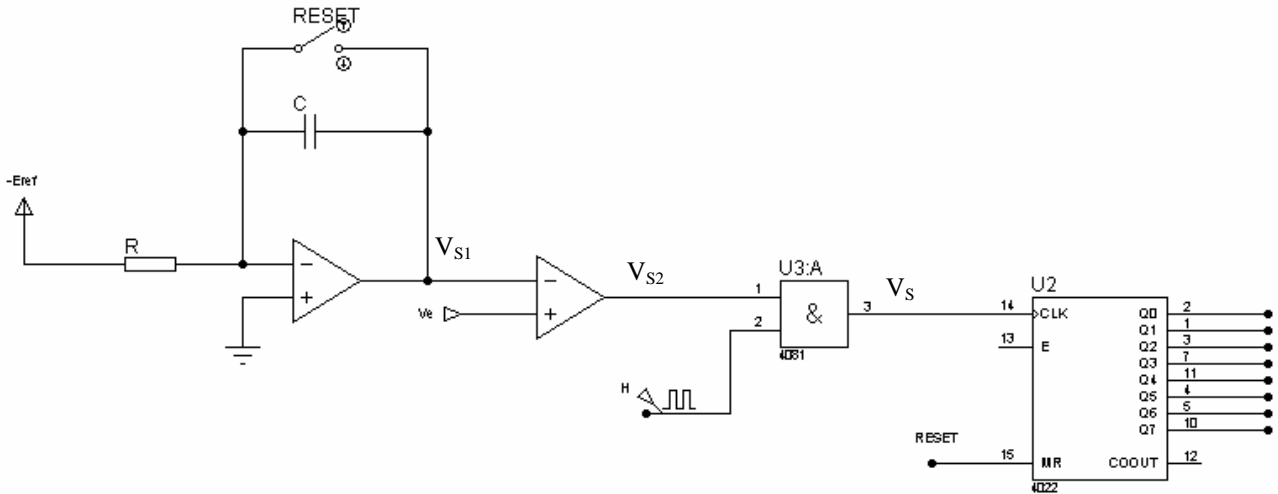
Latch RS pour son comportement asynchrone, immédiat.

Flip-flop JK ou D pour son comportement synchrone sur de H.

Flip-flop D, flip-flop JK, latch RS à chaque fois qu'il y aura besoin de mémoriser un signal et seulement de le mémoriser.

Latch D à chaque fois qu'il y aura besoin tantôt de mémoriser un signal, tantôt de le laisser passer, grâce à son mode transparent (mode buffer).

I. Etude d'un CAN simple rampe unipolaire



1. Exprimer V_{s1} en fonction de E_{ref} . Quel est la fonction de ce montage ?
2. Représentez en fonction du temps les signaux V_{s1} , V_{s2} et V_s .
3. Exprimer V_E en fonction de E_{ref} , T la période de l'horloge et N le nombre d'impulsion compté par le compteur.
4. Comment faut-il régler H par rapport à RC et au nombre de bits du compteur ?
5. Donner l'expression du temps de conversion
6. Avantages et inconvénients de ce montage ?

II. Compteurs synchrones

Réaliser un compteur décrivant la séquence 0,4,6,7,3,1,0,... avec des bascules **D**.

III. Respect d'une consigne

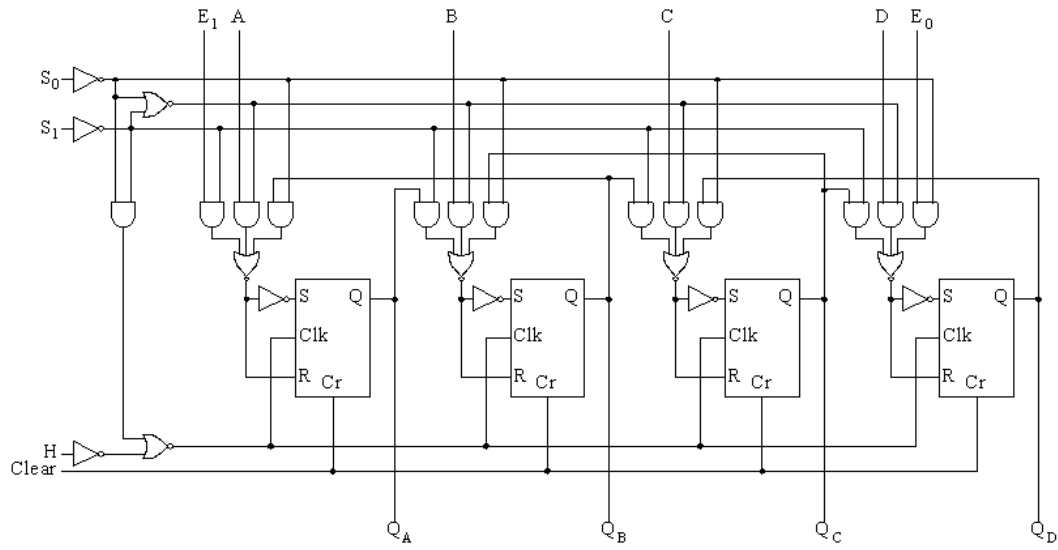
Le but est de concevoir un système logique permettant le contrôle du nombre d'exemplaires dans un photocopieur. On se limitera pour l'étude à un nombre de photocopies inférieur ou égal à neuf.

On dispose pour cette réalisation des circuits suivants :

- Un compteur 4 bits
- Un codeur 10 vers 4
- Un comparateur 4 bits
- Une mémoire 4 bits a bascule D flip flop
- Des portes élémentaires
- Un module de commande qui actionne le photocopieur. Celui-ci possède une entrée et réalise une copie lorsque cette entrée est à 1. Une fois la copie effectuée, le module génère un top horloge en sortie.
- Un clavier de 0 à 9 pour saisir le nombre d'exemplaires. Ce clavier possède 10 sorties dont une parmi 10 se met à 1 quand la touche est appuyée. Lorsqu'on relâche cette touche, la sortie se remet à 0.

Représenter le schéma du système proposé expliquer brièvement son fonctionnement et notamment le rôle de chaque constituant.

IV Etudier le montage suivant selon les valeurs de S0 et S1



Registre à décalage à droite et à gauche

La dernière figure présente un exemple de registre à décalage universel de 4 bits. Les diverses possibilités sont sélectionnées par les lignes commande S_0 et S_1 . Considérons la ligne transportant le signal d'horloge aux bascules, elle est gouvernée par l'expression logique :

$$\text{Clk} = \overline{\overline{H} + \overline{S_0} \cdot \overline{S_1}} = H \cdot (S_0 + S_1)$$

Le signal d'horloge sera donc inhibé si $S_0 = S_1 = 0$.

Pour sélectionner le chargement parallèle (entrées A, B, C et D) il faut :

$$\overline{\overline{S_0} + \overline{S_1}} = S_0 \cdot S_1 = 1$$

C'est-à-dire $S_0 = S_1 = 1$. Le chargement se fera sur un signal d'horloge.

Pour sélectionner le décalage à droite (entrée E_1 , sortie Q_D) il nous faut $S_0 = 1$ et $S_1 = 0$ et pour le décalage à gauche (entrée E_0 , sortie Q_A) $S_0 = 0$ et $S_1 = 1$. Ce que nous pouvons résumer dans le tableau suivant :

S_0	S_1	Fonction
0	0	Registre bloqué
0	1	Décalage à gauche
1	0	Décalage à droite
1	1	Chargement parallèle

Un registre à décalage à droite et à gauche permet d'effectuer des multiplications et des divisions entières par des puissances de 2. En effet une multiplication par 2 est équivalente à un décalage vers la gauche et une division par 2 à un décalage vers la droite. Une multiplication par 2^n sera obtenue par n décalages à gauche et une division par 2^n par n décalages à droite.